



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0000030
Application Number

출원년월일 : 2003년 01월 02일
Date of Application JAN 02, 2003

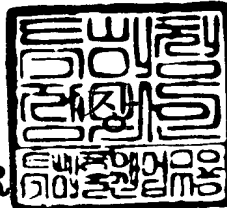
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 02 월 10 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.01.02
【발명의 명칭】	반도체 장치의 복합막 형성 방법과, 이를 이용한 커패시터 및 게이트 절연막 형성 방법
【발명의 영문명칭】	method of forming a multi-layer in a semiconductor device and method of forming a capacitor and a gate dielectric layer using the same
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박영우
【대리인코드】	9-1998-000230-2
【포괄위임등록번호】	1999-030203-7
【발명자】	
【성명의 국문표기】	최한메
【성명의 영문표기】	CHOI, Han Mei
【주민등록번호】	710420-1069227
【우편번호】	151-859
【주소】	서울특별시 관악구 신림9동 251-366
【국적】	KR
【발명자】	
【성명의 국문표기】	박영욱
【성명의 영문표기】	PARK, Young Wook
【주민등록번호】	630412-1038016
【우편번호】	440-301
【주소】	경기도 수원시 장안구 정자1동 백설마을 성지아파트 541동 706호
【국적】	KR

【발명자】

【성명의 국문표기】 임은택
【성명의 영문표기】 YIM, Eun Taek
【주민등록번호】 680424-1226127
【우편번호】 442-470
【주소】 경기도 수원시 팔달구 영통동 황골마을아파트 133동 702호
【국적】 KR

【발명자】

【성명의 국문표기】 강동조
【성명의 영문표기】 KANG, Dong Jo
【주민등록번호】 701022-1932217
【우편번호】 441-834
【주소】 경기도 수원시 권선구 권선동 1240 현대아파트 201동 1306호
【국적】 KR

【발명자】

【성명의 국문표기】 김경석
【성명의 영문표기】 KIM, Kyoung Seok
【주민등록번호】 720529-1018822
【우편번호】 138-240
【주소】 서울특별시 송파구 신천동 진주아파트 7동 1002호
【국적】 KR

【심사청구】

청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박영우 (인)

【수수료】

【기본출원료】	20 면	29,000 원
【가산출원료】	12 면	12,000 원
【우선권주장료】	0 건	0 원
【심사청구료】	19 항	717,000 원
【합계】		758,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

반도체 기판 상에 적어도 2개의 박막을 포함하는 복합막을 형성하는 방법이 개시되어 있다. 기판으로 열 전달이 가능하고, 상기 기판이 놓여질 때 상기 기판을 지지하는 리프트 핀을 포함하는 스테이지에 반도체 기판을 마련한다. 그리고, 상기 스테이지의 열 전달에 의해 상기 기판이 제1온도를 갖도록 상기 스테이지와 상기 기판 사이를 제1거리로 조정 한 후, 상기 제1온도를 갖는 공정 조건에서 상기 기판 상에 제1박막을 형성한다. 이어서, 상기 제1거리로부터 제2거리로 조정하여 상기 반도체 기판이 2온도를 갖는 공정 조건에서 상기 제1박막 상에 제2박막을 형성한다. 이에 따라, 상기 반도체 기판 상에 복합막이 형성된다. 그리고, 상기 복합막은 반도체 장치의 게이트 절연막 또는 커패시터의 유전막으로 적용할 수 있다.

【대표도】

도 3

【명세서】**【발명의 명칭】**

반도체 장치의 복합막 형성 방법과, 이를 이용한 커패시터 및 게이트 절연막 형성 방법{method of forming a multi-layer in a semiconductor device and method of forming a capacitor and a gate dielectric layer using the same}

【도면의 간단한 설명】

도 1은 종래의 반도체 장치의 복합막을 형성하기 위한 적층 장치를 나타내는 개략적인 구성도이다.

도 2는 종래의 가열 부재를 이용하여 복합막을 형성할 때 반도체 기판이 갖는 온도를 나타내는 그래프이다.

도 3은 본 발명의 일 실시예에 따른 반도체 장치의 복합막을 형성할 때 사용하는 적층 장치의 스테이지를 나타내는 개략적인 구성도이다.

도 4는 도 3의 스테이지에 마련되는 리프트 핀을 설명하기 위한 도면이다.

도 5a 및 도 5b는 본 발명의 일 실시예에 따른 반도체 장치의 복합막을 형성하기 위한 방법을 설명하기 위한 도면들이다.

도 6은 본 발명의 일 실시예에 따른 반도체 장치의 복합막을 형성할 때 반도체 기판이 갖는 온도의 변화를 나타내는 그래프이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <7> 본 발명은 반도체 장치의 복합막 형성 방법과, 이를 이용한 커패시터 및 게이트 절연막의 형성 방법에 관한 것으로서, 보다 상세하게는 열 전달이 가능한 스테이지(stage)를 사용하여 반도체 장치의 복합막을 형성하는 방법 및 이를 이용한 커패시터 및 게이트 절연막을 형성하는 방법에 관한 것이다.
- <8> 최근, 컴퓨터와 같은 정보 매체의 급속한 보급에 따라 반도체 장치도 비약적으로 발전하고 있다. 그 기능 면에 있어서, 상기 반도체 장치는 고속으로 동작하는 동시에 대용량의 저장 능력을 가질 것이 요구된다. 이러한 요구에 부응함으로서, 상기 반도체 장치는 집적도, 신뢰도 및 응답 속도 등을 향상시키는 방향으로 제조 기술이 발전되고 있다. 이에 따라, 상기 반도체 장치의 집적도 향상을 위한 주요한 기술로서 박막 형성 등과 같은 미세 가공 기술에 대한 요구가 엄격해지고 있다.
- <9> 상기 박막을 형성하는 방법 대한 예로서는 게이트 절연막을 형성하는 방법, 커패시터의 유전막을 형성하는 방법 등을 들 수 있다.
- <10> 상기 게이트 절연막 또는 커패시터의 유전막 등은 특성상 고유전율(high-k)을 가져야 한다. 상기 고유전율을 갖는 게이트 절연막 또는 커패시터의 유전막을 형성하는 방법에 대한 예는 미합중국 특허 6,066,525호(issued to Liu, et al), 미합중국 특허 6,320,238호(issued to Kizilyalli, et al) 등에 개시되어 있다.

- <11> 상기 고유전율의 구현을 위하여, 최근에는 금속 산화물을 갖는 박막을 상기 게이트 절연막 또는 커패시터의 유전막에 적용하고 있다. 특히, 상기 금속 산화물은 갖는 박막 즉, 고유전율의 구현을 위한 게이트 절연막 또는 커패시터의 유전막은 2가지 이상의 박막이 적층된 복합막의 구조를 갖는다. 상기 2가지 이상의 박막이 적층된 복합막의 구조에 대한 예는 미합중국 특허 6,479,403호(issued to Tsei, et al)에 개시되어 있다.
- <12> 도 1은 종래의 반도체 장치의 복합막을 형성하기 위한 적층 장치를 개략적으로 나타낸다.
- <13> 도 1을 참조하면, 상기 적층 장치(1)는 독립된 2개의 챔버(11, 13) 즉, 제1챔버(11)와 제2챔버(13)를 포함한다. 그리고, 상기 제1챔버(11)와 제2챔버(13)를 연결하고, 상기 제1챔버(11)와 제2챔버(13) 사이에서의 반도체 기판(17)의 이송을 달성하기 위한 이송 챔버(15)를 포함한다. 이에 따라, 상기 적층 장치(1)를 사용하여 상기 반도체 기판(17) 상에 2개의 박막이 적층되는 복합막을 형성하는 것이다.
- <14> 상기 적층 장치(1)를 사용하여 복합막을 형성하는 예로서는 Al_2O_3 박막과 TiO_2 박막을 갖는 복합막을 형성하는 방법이 있다. 여기서, 상기 방법을 구체적으로 살펴보면 다음과 같다.
- <15> 먼저, 반도체 기판을 상기 이송 챔버(15)로부터 상기 제1챔버(11)로 로딩시킨다.(A 방향) 그리고, 상기 로딩된 반도체 기판 상에 Al_2O_3 박막을 적층한다. 상기 Al_2O_3 박막의 적층은 약 $450^{\circ}C$ 의 온도에서, 약 400초 동안 실시된다. 이와 같이, 상기 반도체 기판 상에 Al_2O_3 박막을 적층한 후, 상기 Al_2O_3 박막이 적층된 반도체 기판을 상기 제1챔버(11)로부터 상기 이송 챔버(15)로 언로딩시킨다.(B 방향) 이어서, 상기 Al_2O_3 박막이 적층된 반도체 기판을 상기 이송 챔버(11)로부터 상기 제2챔버(13)로 로딩시킨다.(C 방향)

그리고, 상기 Al_2O_3 박막 상에 TiO_2 박막을 적층한다. 상기 TiO_2 박막의 적층은 약 350°C 의 온도에서, 약 200초 동안 실시한다. 이와 같이, 상기 Al_2O_3 박막 상에 TiO_2 박막을 적층한 후, 상기 Al_2O_3 박막 및 TiO_2 박막이 순차적으로 적층된 반도체 기판을 상기 제 2챔버(13)로부터 상기 이송 챔버(15)로 언로딩시킨다.(D 방향)

<16> 이에 따라, 상기 반도체 기판 상에는 상기 Al_2O_3 박막 및 TiO_2 박막이 순차적으로 적층된 복합막이 형성된다.

<17> 이와 같이, 종래의 복합막 즉, 상기 복합막의 구조를 갖는 게이트 절연막 또는 커패시터의 유전막은 온도에 따른 적층 특성이 서로 다른 2가지 이상의 박막을 독립된 각각의 챔버에서 진공 브레이크(vacuum break)없이 연속적으로 적층 공정을 실시함으로써 형성된다.

<18> 그러나, 상기 복합막의 형성에서는 생산성 및 상기 적층 장치의 운용 효율이 낮다는 문제점이 있다. 이는, 상기 복합막을 독립된 각각의 챔버에서 형성하기 때문이다. 즉, 상기 Al_2O_3 박막의 형성은 약 400초 동안 실시되고, 상기 TiO_2 박막의 형성은 약 200초 동안 실시됨으로서, 상기 TiO_2 박막을 형성하는 챔버가 약 200초 동안 비어 있는 상태를 갖기 때문이다. 특히, 상기 복합막에서 각각의 박막을 형성하는데 소요되는 시간의 차이가 많이 발생할수록 상기 복합막의 형성에 따른 생산성 및 적층 장치의 운용 효율의 저하는 더욱 심각하게 대두된다.

<19> 또한, 상기 Al_2O_3 박막의 형성은 약 450°C 의 온도에서 실시되고, 상기 TiO_2 박막의 형성은 약 350°C 의 온도에서 실시된다. 따라서, 독립된 각각의 챔버에서 상기 적층을 위한 온도를 신속하게 변경시켜야만 생산성에 지장을 끼치지 않는다. 그러나, 종래의 적층 장치는 분당 수 $^\circ\text{C}$ 정도의 온도 변경이 가능하기 때문에 수십 내지 수백 $^\circ\text{C}$ 정도의

온도 변경은 수십분의 시간을 요구한다. 때문에, 상기 온도 변경에 따른 시간의 소요로 인하여 생산성은 더욱 악화된다.

<20> 그리고, 상기 적층에서는 반도체 기판의 이송이 빈번하게 이루어지기 때문에 상기 반도체 기판 상에 파티클 등과 같은 오염 물질이 흡착할 가능성도 높아진다.

<21> 또한, 최근에는 동일 챔버 내에서 상기 제1박막 및 제2박막을 인시튜로 형성하는 방법이 개발되고 있다. 즉, 반도체 기판을 가열하는 히터와 같은 가열 부재의 온도 변화를 통하여 상기 제1박막과 제2박막을 형성할 때 각각의 온도 조건으로 변화시키는 것이다. 그러나, 상기 가열 부재를 사용한 온도 조건의 변경 또한 분당 수 $^{\circ}\text{C}$ 정도의 온도 변경이 가능하기 때문에 수십 내지 수백 $^{\circ}\text{C}$ 정도의 온도 변경은 수십분의 시간을 요구한다.

<22> 도 2는 종래의 가열 부재를 이용하여 복합막을 형성할 때 반도체 기판이 갖는 온도를 나타낸다.

<23> 도 2를 참조하면, 실선은 가열 부재의 온도를 나타내고, 점선은 반도체 기판이 갖는 온도를 나타낸다. 그리고, I 은 상기 제1박막을 형성하는 구간이고, II는 온도를 변경시키는 구간이고, III은 상기 제2박막을 형성하는 구간이다.

<24> 여기서, 특징적으로 상기 반도체 기판의 온도는 상기 가열 부재가 갖는 온도에 의존한다는 것이다. 따라서, 상기 가열 부재가 갖는 온도를 변경(T_0 로부터 T_2 로)함으로써 상기 반도체 기판이 갖는 온도를 변경(T_1 으로부터 T_3 로)할 수 있다. 때문에, 상기 가열 부재를 사용한 온도 변경은 많은 시간이 필요하다는 것을 알 수 있다.

<25> 따라서, 종래의 복합막을 형성할 때 반도체 기판이 갖는 온도를 변경할 경우, 상기 온도 변경에 따른 시간의 소요로 인하여 생산성은 더욱 악화된다.

【발명이 이루고자 하는 기술적 과제】

<26> 본 발명의 제1목적은, 동일 챔버 내에서 신속한 온도 변경을 통하여 반도체 기판 상에 2개 이상의 박막을 포함하는 복합막을 형성하기 위한 방법을 제공하는데 있다.

<27> 본 발명의 제2목적은, 동일 챔버 내에서 신속한 온도 변경을 통하여 커패시터의 하부 전극 상에 금속 산화물로 이루어진 2개 이상의 박막을 포함하는 유전막을 형성하기 위한 방법을 제공하는데 있다.

<28> 본 발명의 제3목적은, 동일 챔버 내에서 신속한 온도 변경을 통하여 반도체 기판 상에 금속 산화물로 이루어진 2개 이상의 박막을 포함하는 게이트 절연막을 형성하기 위한 방법을 제공하는데 있다.

【발명의 구성 및 작용】

<29> 상기 제1 목적을 달성하기 위한 본 발명은, 기판으로 열 전달이 가능하고, 상기 기판이 놓여질 때, 상기 기판을 지지하는 리프트 핀을 포함하는 스테이지를 마련하는 단계와, 상기 스테이지의 리프트 핀에 기판을 지지시키는 단계와, 상기 스테이지의 열 전달에 의해 상기 기판이 제1온도를 갖도록 상기 스테이지와 상기 기판 사이를 제1거리로 조정하는 단계와, 상기 제1온도를 갖는 공정 조건에서 상기 기판 상에 제1박막을 형성하는 단계와, 상기 스테이지의 열 전달에 의해 상기 기판이 제2온도를 갖도록 상기 스테이지와 상기 기판 사이를 상기 제1거리로부터 제2거리로 조정하는 단계; 및 상기 제2온도를 갖는 공정 조건에서 상기 제1박막 상에 제2박막을 형성하는 단계를 포함한다.

<30> 상기 제2목적은 달성하기 위한 본 발명은, 반도체 기판 상에 하부 전극을 형성하는 단계와, 열 전달이 가능하고, 상기 반도체 기판을 지지하는 리프트 편을 갖는 스테이지를 마련하여 상기 리프트 편에 상기 반도체 기판을 지지시키는 단계와, 상기 스테이지의 열 전달에 의해 상기 반도체 기판이 제1온도를 갖도록 상기 스테이지와 상기 반도체 기판 사이를 제1거리로 조정하는 단계와, 상기 제1온도를 갖는 공정 조건에서 상기 하부 전극 상에 제1금속 산화물을 갖는 제1박막을 형성하는 단계와, 상기 스테이지의 열 전달에 의해 상기 반도체 기판이 제2온도를 갖도록 상기 스테이지와 상기 반도체 기판 사이를 상기 제1거리로부터 제2거리로 조정하는 단계와, 상기 제2온도를 갖는 공정 조건에서 상기 제1박막 상에 제2금속 산화물을 갖는 제2박막을 형성함으로써 상기 하부 전극 상에 상기 제1박막 및 제2박막을 포함하는 유전막을 형성하는 단계; 및 상기 유전막 상에 상부 전극을 형성하는 단계를 포함한다.

<31> 상기 제3목적은 달성하기 위한 본 발명은, 열 전달이 가능하고, 반도체 기판을 지지하는 리프트 편을 갖는 스테이지를 마련하여 상기 리프트 편에 상기 반도체 기판을 지지시키는 단계와, 상기 스테이지의 열 전달에 의해 상기 반도체 기판이 제1온도를 갖도록 상기 스테이지와 상기 반도체 기판 사이를 제1거리로 조정하는 단계와, 상기 제1온도를 갖는 공정 조건에서 상기 반도체 기판 상에 제1금속 산화물을 갖는 제1박막을 형성하는 단계와, 상기 스테이지의 열 전달에 의해 상기 반도체 기판이 제2온도를 갖도록 상기 스테이지와 상기 반도체 기판 사이를 상기 제1거리로부터 제2거리로 조정하는 단계; 및 상기 제2온도를 갖는 공정 조건에서 상기 제1박막 상에 제2금속 산화물을 갖는 제2박막을 형성하는 단계를 포함한다.

<32> 본 발명에 의하면, 열 전달이 가능한 스테이지와 상기 스테이지에 놓여지는 기판과의 거리 조절을 통하여 온도의 변경을 달성한다. 이에 따라, 상기 온도의 변경을 박막을 적층하는데 적용함으로써 서로 다른 온도 조건을 요구하는 박막을 동일 챔버 내에서 인시튜로 적층할 수 있다. 특히, 박막을 형성할 때 압력 조건에 다소 둔감하고, 온도 조건에 민감한 원자층 적층, 화학 기상 증착 등에 의한 박막의 형성에 본 발명의 방법을 보다 적극적으로 적용할 수 있다.

<33> 따라서, 본 발명의 방법들은 2개 이상의 박막을 포함하는 복합막을 동일 챔버 내에서 인시튜로 적층할 수 있기 때문에 생산성 및 장치의 운용 효율을 향상시킬 수 있다. 또한, 복합막을 적층하기 위한 반도체 기판의 이송이 줄어들기 때문에 상기 이송에 따른 오염 물질의 흡착을 어느 정도는 줄일 수 있다.

<34> 이하, 본 발명의 반도체 장치의 복합막 형성 방법에 대하여 상세하게 설명하기로 한다.

<35> 먼저, 반도체 기판이 놓여지는 스테이지를 마련한다. 이때, 상기 스테이지는 적층 장치의 챔버 내에 마련된다. 구체적으로, 상기 스테이지(20)는, 도 3에 도시된 바와 같이, 열 전달이 가능한 히터 블록(heater block)과 같은 부재이다. 이에 따라, 상기 반도체 기판(21) 상에 박막을 적층할 때 상기 스테이지(20)는 상기 열 전달을 통하여 상기 반도체 기판(21)이 상기 박막의 적층에 적합한 온도를 갖도록 조성한다. 그리고, 상기 스테이지(20)는 리프트 핀(22)을 포함한다. 따라서, 상기 반도체 기판(21)이 상기 스테이지(20)에 놓여질 때 상기 반도체 기판(21)은 상기 리프트 핀(22)에 의해 지지된다. 특히, 상기 스테이지(20)에 마련되는 리프트 핀(22)은, 도 4에 도시된 바와 같이, 3개인

것이 바람직하고, 그것들의 꼭지점을 연결할 경우 정삼각형의 구도를 갖도록 마련되는 것이 더욱 바람직하다.

<36> 이어서, 2개 이상의 박막을 갖는 복합막을 형성하기 위한 반도체 기판을 상기 스테이지의 리프트 편에 지지시킨다.

<37> 다음에, 상기 반도체 기판이 제1온도를 갖도록 공정 조건을 조정한다. 이때, 도 5a에 도시된 바와 같이, 상기 스테이지(20)와 상기 반도체 기판(21a) 사이를 제1거리(ℓ_1)로 조정함으로써 상기 반도체 기판(21a)이 제1온도를 갖는다. 여기서, 상기 스테이지(20)와 반도체 기판(21a) 사이의 제1거리(ℓ_1)는 상기 리프트 편(22)의 구동에 의해 달성될 수도 있다. 즉, 상기 스테이지(20)가 고정된 상태에서 상기 리프트 편(22)을 상,하로 구동시킴으로서 상기 스테이지(20)와 반도체 기판(21a) 사이를 상기 제1온도를 갖는 제1거리(ℓ_1)로 조정하는 것이다. 또한, 상기 스테이지(20)와 반도체 기판(21a) 사이의 제1거리(ℓ_1)는 상기 스테이지(20)의 구동에 의해 달성될 수도 있다. 즉, 상기 리프트 편(22)이 고정된 상태에서 상기 스테이지(20)를 상,하로 구동시킴으로서 상기 스테이지(20)와 반도체 기판(21a) 사이를 상기 제1온도를 갖는 제1거리(ℓ_1)로 조정하는 것이다. 더불어, 상기 스테이지(20)와 반도체 기판(21a) 사이의 제1거리(ℓ_1)는 상기 스테이지(20)와 상기 리프트 편(22)의 복합 구동에 의해서도 달성될 수 있다. 즉, 상기 스테이지(20)와 상기 리프트 편(22) 각각을 독립적으로 구동시킴으로서 상기 스테이지(20)와 반도체 기판(21a) 사이를 상기 제1온도를 갖는 제1거리(ℓ_1)로 조정하는 것이다.

<38> 상기 리프트 편(22)의 구동에 대한 예는 대한민국 공개특허 2001-108659호에 개시되어 있다. 특허, 상기 대한민국 공개특허 2001-108659호에 의하면, 반도체 기판을 지지하는

리프트 핀의 높이 조절에 따라 반도체 기판의 온도가 변화하는 것에 대하여 개시하고 있다. 그러나, 상기 대한민국 공개특허 2001-108659호는 단지 열처리에 대한 적용으로서, 박막을 적층하기 위한 방법에 대해서는 침묵하고 있다. 또한, 상기 대한민국 공개특허 2001-108659호는 리프트 핀에 의한 거리 조절에 대해서만 개시되어 있을 뿐, 본 실시예에서와 같이 스테이지의 구동 또는 스테이지와 리프트 핀의 복합 구동에 의한 거리 조절에 대해서는 침묵하고 있다.

<39> 계속해서, 상기 제1온도를 갖는 공정 조건 하에서 상기 반도체 기판 상에 제1박막을 적층한다. 이때, 상기 제1박막은 원자층 적층 또는 화학 기상 증착 등에 의해 형성하는 것이 바람직하다. 그리고, 상기 제1박막은 제1금속 산화물을 갖는 박막인 것이 바람직하다. 상기 제1금속 산화막의 예로서는 Al_2O_3 , TiO_2 , HfO_2 , ZrO_2 , Y_2O_3 , Ta_2O_5 , SrTiO_3 , BaTiO_3 , BaSrTiO_3 , PbZrTiO_3 로 등을 들 수 있다. 그리고, 이들은 단독 또는 2이상을 혼합하여 사용할 수도 있다.

<40> 상기 원자층 적층에 의한 제1박막의 형성은 다음과 같다.

<41> 먼저, 제1온도를 갖도록 조정된 상태에서 상기 반도체 기판으로 상기 제1박막의 제1소스 물질을 도입시켜 그것의 일부를 상기 반도체 기판 상에 화학적으로 흡착시킨다. 만약, 상기 제1박막이 Al_2O_3 박막일 경우, 상기 제1소스 물질의 예로서는 트리메틸알루미늄(Trimethyl aluminum : TMA : $\text{Al}(\text{CH}_3)_3$)을 들 수 있다.

<42> 이어서, 상기 반도체 기판 상에 화학적으로 흡착하지 않은 상기 제1소스 물질을 상기 반도체 기판으로부터 제거시킨다. 이때, 상기 제거에 주로 사용되는 가스의 예로서는

불활성 가스를 들 수 있고, 상기 불활성 가스의 예로서는 N_2 가스 또는 Ar 가스를 들 수 있다.

<43> 다음에, 상기 제1소스 물질이 화학적으로 흡착된 반도체 기판의 주변을 진공 펌핑시킨 후, 상기 반도체 기판으로 상기 제1박막의 제2소스 물질을 도입시켜 그것의 일부를 상기 반도체 기판 상에 화학적으로 흡착시킨다. 마찬가지로, 상기 제1박막이 Al_2O_3 박막일 경우, 상기 제2소스 물질의 예로서는 O_3 를 들 수 있다.

<44> 그리고, 상기 반도체 기판 상에 화학적으로 흡착하지 않은 상기 제2소스 물질을 상기 반도체 기판으로부터 제거시킨다. 상기 제거에 주로 사용되는 가스의 예로서는, 마찬가지로, 불활성 가스를 들 수 있고, 상기 불활성 가스의 예로서는 N_2 가스 또는 Ar 가스를 들 수 있다.

<45> 그리고, 상기 제거에 의해 상기 기판 주변에 잔류하는 잔류 물질들을 상기 기판 주변으로부터 제거시킴으로서 원자층 단위의 제1박막이 상기 반도체 기판에 형성된다.

<46> 따라서, 상기 원자층 적층을 반복적으로 수행함으로써 상기 반도체 기판 상에 제1박막을 형성할 수 있다.

<47> 또한, 상기 제1박막을 형성한 후, 상기 제1박막을 포스트 처리할 수도 있다. 상기 포스트 처리에서는 고주파 플라즈마를 사용한다. 이는, 상기 포스트 처리를 통하여 상기 제1박막 내에 불순물이 잔류하는 것을 방지하기 위함이다.

<48> 상기 화학 기상 증착에 의한 제1박막의 형성은 다음과 같다.

<49> 먼저, 제1온도를 갖도록 조정된 상태에서 상기 반도체 기판으로 상기 제1박막을 형성하기 위한 반응 가스를 도입시킨다. 그리고, 상기 반응 가스를 플라즈마 상태로 형성

한 후, 상기 플라즈마 상태의 반응 가스를 상기 반도체 기판에 반응시킨다. 이에 따라, 상기 반도체 기판과의 반응을 통하여 상기 반도체 기판 상에 제1박막이 형성된다. 이때, 상기 제1박막이 Al_2O_3 박막일 경우, 상기 반응 가스의 예로서는 트리메틸알루미늄과 O_3 의 혼합 가스를 들 수 있다.

<50> 이와 같이, 상기 원자층 적층 또는 화학 기상 증착 등을 통하여 상기 반도체 기판 상에 제1박막을 형성할 수 있다. 이때, 상기 제1박막의 형성에 따른 온도 조건은 상기 스테이지와 상기 반도체 기판 사이의 거리 조절에 의해 달성된다.

<51> 상기 반도체 기판 상에 제1박막을 형성한 후, 도 5b에 도시된 바와 같이, 상기 스테이지(20)와 상기 제1박막을 갖는 반도체 기판(21b) 사이를 상기 제1거리(ℓ_1)로부터 제2거리(ℓ_2)로 조정한다. 여기서, 상기 제2거리(ℓ_2)를 갖는 조정은 상기 제1거리(ℓ_1)의 조정과 마찬가지로, 상기 리프트 핀(22)의 구동, 상기 스테이지(20)의 구동, 상기 리프트 핀(22)과 스테이지(20)의 복합 구동에 의해 달성될 수 있다. 상기 스테이지(20)와 상기 제1박막을 갖는 반도체 기판(21b) 사이를 상기 제2거리(ℓ_2)를 갖도록 조정함으로써 상기 제1박막을 갖는 반도체 기판(ℓ_2)은 제2온도를 갖는다.

<52> 이에 따라, 상기 제2온도를 갖는 공정 조건 하에서 상기 제1박막 상에 제2박막을 적층한다. 이때, 상기 제2박막은 상기 제1박막의 형성과 마찬가지로, 원자층 적층 또는 화학 기상 증착 등에 의해 형성하는 것이 바람직하다. 그리고, 상기 제2박막은 제2금속 산화물을 갖는 박막인 것이 바람직하다. 상기 제2금속 산화물의 예로서는 Al_2O_3 , TiO_2 , HfO_2 , ZrO_2 , Y_2O_3 , Ta_2O_5 , SrTiO_3 , BaTiO_3 , BaSrTiO_3 , PbZrTiO_3 로 등을 들 수 있다. 그리고, 이들은 단독 또는 2이상을 혼합하여 사용할 수도 있다. 만약, 상기 제2박막이 TiO_2 박막이고, 상기 원자층 적층에 의해 형성할 경우 상기

제2박막의 제1소스 물질의 예로서는 티타늄테트라이소프로포시드(titanium tetra isopropoxide : TTIP : $\text{Ti}(\text{OC}_3\text{H}_7)_4$)를 들 수 있고, 상기 제2박막의 제2소스 물질의 예로서는 O_3 를 들 수 있다. 또한, 상기 제2박막이 TiO_2 박막이고, 상기 화학 기상 증착에 의해 형성할 경우 상기 제2박막을 형성하기 위한 반응 가스의 예로서는 티타늄테트라이소프로포시드와 O_3 의 혼합 가스를 들 수 있다.

<53> 따라서, 본 실시예에서는 제1박막 및 제2박막을 포함하는 복합막을 동일 스테이지 즉, 동일 챔버 내에서 인시튜로 실시하는 공정에 의해 형성할 수 있다. 특히, 상기 제2거리로부터 제3거리, 제4거리 등을 갖도록 상기 스테이지와 상기 반도체 기판 사이의 거리를 조정할 경우, 제3박막, 제4박막 등도 동일 챔버 내에서 인시튜로 형성할 수 있다.

<54> 이와 같이, 본 실시예에서는 열 전달이 가능한 스테이지와 상기 스테이지에 놓여지는 반도체 기판 사이의 거리 조절을 통하여 상기 반도체 기판이 갖는 온도를 조절할 수 있다. 즉, 상기 스테이지와 상기 반도체 기판 사이의 거리가 가까울수록 상기 반도체 기판은 높은 온도를 갖고, 상기 스테이지와 상기 반도체 기판 사이의 거리가 멀수록 상기 반도체 기판은 낮은 온도를 갖는다.

<55> 도 6은 본 발명의 일 실시예에 따른 반도체 장치의 복합막을 형성할 때 반도체 기판이 갖는 온도의 변화를 나타낸다.

<56> 도 6을 참조하면, 실선은 상기 스테이지가 갖는 온도를 나타내고, 점선은 상기 스테이지의 열 전달에 의해 상기 반도체 기판이 갖는 온도를 나타낸다. 그리고, V은 상기 제1박막을 형성하는 구간이고, VI는 상기 스테이지와 상기 반도체 기판 사이의 거리를 제1거리로부터 제2거리로 조정하는 구간이고, VII는 제2박막을 형성하는 구간이다.

- <57> 여기서, 상기 스테이지는 일정한 온도(T_{11})를 계속적으로 유지하는 것을 알 수 있고, 상기 거리 조정을 통하여 상기 반도체 기판이 갖는 온도를 변경(T_{12} 로부터부터 T_{13} 으로)한다는 것을 알 수 있다. 예를 들면, 상기 거리가 제1거리(ℓ_1)일 경우 상기 반도체 기판은 제1온도(T_{12})를 갖고, 제2거리(ℓ_2)일 경우 상기 반도체 기판은 제2온도(T_{13})를 갖는다. 따라서, 상기 거리 조정을 통한 온도의 변경은 신속하게 실시할 수 있다는 것을 확인할 수 있다. 때문에, 본 실시예에 의하여 상기 제1박막 및 제2박막을 갖는 복합막을 형성할 경우 상기 복합막의 형성에 소요되는 시간이 단축된다는 것을 알 수 있다.
- <58> 이를 근거로, 상기 제1박막 및 제2박막을 갖는 복합막은 최근의 고유전율을 요구하는 게이트 절연막 또는 커패시터의 유전막 등에 적극적으로 적용할 수 있다.
- <59> 상기 제1박막 및 제2박막을 갖는 복합막을 게이트 절연막으로 적용한 예는 다음과 같다.
- <60> 상기 스테이지의 리프트 핀에 게이트 절연막을 형성하기 위한 반도체 기판을 지지시킨다. 이어서, 상기 스테이지와 상기 반도체 기판 사이를 제1거리로 조정한다. 이때, 상기 제1거리의 조정은 상기 스테이지가 고정된 상태에서 상기 리프트 핀의 구동에 의해 조정되거나, 상기 리프트 핀이 고정된 상태에서 상기 스테이지의 구동에 의해 조정되거나, 또는 상기 리프트 핀과 상기 스테이지의 복합 구동에 의해 조정된다. 이에 따라, 상기 스테이지의 열 전달에 의해 상기 반도체 기판은 제1온도를 갖는다.
- <61> 그리고, 상기 제1온도를 갖는 공정 조건에서 상기 반도체 기판 상에 제1금속 산화물을 갖는 제1박막을 형성한다. 이때, 상기 제1박막은 상기 제1온도에서 원자층 적층 또

는 화학 기상 증착에 의해 형성한다. 그리고, 상기 제1금속 산화물의 예로서는 Al_2O_3 , TiO_2 , HfO_2 , ZrO_2 , Y_2O_3 , Ta_2O_5 , SrTiO_3 , BaTiO_3 , BaSrTiO_3 , PbZrTiO_3 등을 들 수 있다.

<62> 이와 같이, 상기 제1박막을 형성한 후, 상기 스테이지와 상기 반도체 기판 사이를 제1거리로부터 제2거리로 조정한다. 이때, 상기 제2거리의 조정은 상기 스테이지가 고정된 상태에서 상기 리프트 핀의 구동에 의해 조정되거나, 상기 리프트 핀이 고정된 상태에서 상기 스테이지의 구동에 의해 조정되거나, 또는 상기 리프트 핀과 상기 스테이지의 복합 구동에 의해 조정된다. 이에 따라, 상기 스테이지의 열 전달에 의해 상기 반도체 기판은 제2온도를 갖는다.

<63> 그리고, 상기 제2온도를 갖는 공정 조건에서 상기 제1박막 상에 제2금속 산화물을 갖는 제2박막을 형성한다. 이때, 상기 제2박막은 상기 제2온도에서 원자층 적층 또는 화학 기상 증착에 의해 형성한다. 그리고, 상기 제2금속 산화물의 예로서는 Al_2O_3 , TiO_2 , HfO_2 , ZrO_2 , Y_2O_3 , Ta_2O_5 , SrTiO_3 , BaTiO_3 , BaSrTiO_3 , PbZrTiO_3 등을 들 수 있다.

<64> 이와 같이, 상기 제1박막 및 제2박막을 포함하는 복합막을 게이트 절연막으로 형성할 수 있다. 이때, 상기 게이트 절연막은 동일 챔버 즉, 동일 스테이지 상에서 실시되는 적층 공정에 의해 형성된다. 또한, 상기 게이트 절연막을 형성할 때 제1박막과 제2박막을 형성하기 위한 각각의 온도로 신속하게 변경시킬 수 있다. 때문에, 상기 게이트 절연막을 형성할 때 소요되는 시간을 단축시킬 수 있다. 또한, 하나의 챔버만을 사용하기 때문에 적층 장치의 운용 효율의 향상도 기대할 수 있다.

<65> 상기 제1박막 및 제2박막을 갖는 복합막을 커패시터의 유전막으로 적용한 예는 다음과 같다.

- <66> 상기 스테이지의 리프트 핀에 커패시터의 하부 전극을 갖는 반도체 기판을 지지시킨다. 이어서, 상기 스테이지와 상기 반도체 기판 사이를 제1거리로 조정한다. 이때, 상기 제1거리의 조정은 상기 게이트 절연막을 형성하기 위한 제1거리의 조정과 동일하다.
- <67> 그리고, 상기 제1온도를 갖는 공정 조건에서 상기 유전막을 갖는 반도체 기판 상에 제1금속 산화물을 갖는 제1박막을 형성한다. 이때, 상기 제1박막은 상기 제1온도에서 원자층 적층 또는 화학 기상 증착에 의해 형성한다. 그리고, 상기 제1금속 산화물의 예로서는 Al_2O_3 , TiO_2 , HfO_2 , ZrO_2 , Y_2O_3 , Ta_2O_5 , SrTiO_3 , BaTiO_3 , BaSrTiO_3 , PbZrTiO_3 등을 들 수 있다.
- <68> 이와 같이, 상기 제1박막을 형성한 후, 상기 스테이지와 상기 제1박막이 형성된 반도체 기판 사이를 제1거리로부터 제2거리로 조정한다. 이때, 상기 제2거리의 조정은 상기 게이트 절연막을 형성하기 위한 제2거리의 조정과 동일하다.
- <69> 그리고, 상기 제2온도를 갖는 공정 조건에서 상기 제1박막 상에 제2금속 산화물을 갖는 제2박막을 형성한다. 이때, 상기 제2박막은 상기 제2온도에서 원자층 적층 또는 화학 기상 증착에 의해 형성한다. 그리고, 상기 제2금속 산화물의 예로서는 Al_2O_3 , TiO_2 , HfO_2 , ZrO_2 , Y_2O_3 , Ta_2O_5 , SrTiO_3 , BaTiO_3 , BaSrTiO_3 , PbZrTiO_3 등을 들 수 있다.
- <70> 이와 같이, 상기 제1박막 및 제2박막을 포함하는 복합막을 커패시터의 유전막으로 형성할 수 있다. 이때, 상기 유전막은 동일 챔버 즉, 동일 스테이지 상에서 실시되는 적층 공정에 의해 형성된다. 또한, 상기 유전막을 형성할 때 제1박막과 제2박막을 형성하기 위한 각각의 온도로 신속하게 변경시킬 수 있다. 때문에, 상기 유전막을 형성할 때 소

요되는 시간을 단축시킬 수 있다. 또한, 하나의 챔버만을 사용하기 때문에 적층 장치의 운용 효율의 향상도 기대할 수 있다.

- <71> 그리고, 상기 유전막 상에 커패시터의 상부 전극을 형성한다. 이에 따라, 상기 하부 전극, 유전막 및 상부 전극을 갖는 반도체 장치의 커패시터가 형성된다.
- <72> 이하, 원자층 적층에 의해 달성되고, 상기 제1박막으로서 Al_2O_3 박막과, 제2박막으로서 TiO_2 박막을 갖는 복합막의 형성에 대하여 구체적으로 살펴보기로 한다.
- <73> 먼저, 반도체 기판을 스테이지의 리프트 핀에 지지시킨다. 이어서, 상기 리프트 핀을 상,하로 구동시켜 상기 스테이지와 상기 반도체 기판 사이를 제1거리로 조정한다. 이와 같이, 상기 제1거리로 조정함으로써 상기 스테이지의 열 전달에 의해 상기 반도체 기판은 약 $450^{\circ}C$ 의 온도를 갖는다.
- <74> 그리고, 상기 반도체 기판의 주변으로 약 0.1초 동안 아르곤 가스를 도입하여 상기 반도체 기판의 주변을 퍼지시킨다. 다음에, 상기 반도체 기판 상에 약 0.2초 동안 TMA를 도입한다. 이에 따라, 상기 TMA의 일부가 상기 반도체 기판 상에 화학적으로 흡착된다. 그러나, 상기 TMA의 일부는 물리적으로 흡착된다. 따라서, 상기 반도체 기판 상으로 약 1초 동안 아르곤 가스를 도입시켜 상기 물리적으로 흡착된 TMA를 상기 반도체 기판으로부터 제거시킨다.
- <75> 이어서, 상기 반도체 기판의 주변을 약 0.5초 동안 진공 펌핑시킨 후, 상기 반도체 기판 상으로 약 2초 동안 O_3 를 도입시킨다. 이에 따라, 상기 O_3 의 일부가 상기 반도체 기판 상에 화학적으로 흡착된다. 그러나, 상기 O_3 의 일부는 물리적으로 흡착된다. 따라서, 상기 반도체 기판 상으로 약 2초 동안 아르곤 가스를 도입시켜 상기 물리적으로 흡

착된 O_3 를 상기 반도체 기판으로부터 제거시킨다. 그리고, 상기 반도체 기판의 주변을 약 0.5초 동안 진공 펌핑시킨다.

<76> 이에 따라, 상기 반도체 기판 상에는 원자층 단위의 Al_2O_3 박막이 적층된다. 그리고, 상기 원자층 단위의 박막 형성을 반복적으로 수행한다. 이때, 상기 반복은 약 59회 정도로 실시된다.

<77> 이와 같이, 상기 Al_2O_3 박막을 형성한 후, 상기 리프트 편을 구동시켜 상기 스테이지와 반도체 기판 사이를 제1거리로부터 제2거리로 조정한다. 이에 따라, 상기 제2거리로 조정됨으로서 상기 스테이지의 열 전달에 의해 상기 반도체 기판은 약 $350^{\circ}C$ 정도의 온도를 갖는다. 여기서, 상기 제1거리로부터 제2거리로의 조정은 수초 이내에 이루어진다.

<78> 그리고, 상기 Al_2O_3 박막을 갖는 반도체 기판의 주변으로 약 0.1초 동안 아르곤 가스를 도입하여 상기 반도체 기판의 주변을 퍼지시킨다. 다음에, 상기 Al_2O_3 박막을 갖는 반도체 기판 상에 약 2초 동안 TTIP를 도입한다. 이에 따라, 상기 TTIP의 일부가 상기 반도체 기판 상에 화학적으로 흡착된다. 그러나, 상기 TTIP의 일부는 물리적으로 흡착된다. 따라서, 상기 반도체 기판 상으로 약 2초 동안 아르곤 가스를 도입시켜 상기 물리적으로 흡착된 TTIP를 상기 반도체 기판으로부터 제거시킨다.

<79> 이어서, 상기 반도체 기판의 주변을 약 0.5초 동안 진공 펌핑시킨 후, 상기 반도체 기판 상으로 약 2초 동안 O_3 를 도입시킨다. 이에 따라, 상기 O_3 의 일부가 상기 반도체 기판 상에 화학적으로 흡착된다. 그러나, 상기 O_3 의 일부는 물리적으로 흡착된다. 따라서, 상기 반도체 기판 상으로 약 2초 동안 아르곤 가스를 도입시켜 상기 물리적으로 흡착된 O

$_3$ 를 상기 반도체 기판으로부터 제거시킨다. 그리고, 상기 반도체 기판의 주변을 약 0.5 초 동안 진공 펌핑시킨다.

<80> 이에 따라, 상기 반도체 기판 상에는 원자층 단위의 TiO_2 박막이 적층된다. 그리고, 상기 원자층 단위의 박막 형성을 반복적으로 수행한다. 이때, 상기 반복은 약 52회 정도로 실시된다.

<81> 따라서, 상기 반도체 기판 상에는 Al_2O_3 박막과 TiO_2 박막을 포함하는 복합막이 형성된다. 여기서, 상기 Al_2O_3 박막을 형성한 후, TiO_2 박막을 형성하기 위한 온도 변경을 수초 이내에 실시할 수 있다. 이는, 상기 스테이지와 상기 반도체 기판 사이의 거리 조정으로서 상기 온도의 변경이 가능하기 때문이다. 따라서, 상기 복합막을 형성하기 위한 공정 시간이 단축된다. 그리고, 동일 스테이지 상에서 공정이 인시튜로 진행되기 때문에 상기 스테이지를 갖는 적층 장치의 운용 효율이 향상됨을 알 수 있다. 또한, 상기 복합막을 형성하는 동안에 상기 반도체 기판의 이송이 이루어지지 않기 때문에 이송에 의한 파티클 등의 흡착을 방지할 수 있다.

【발명의 효과】

<82> 본 발명에 의하면, 열 전달이 가능한 스테이지와 상기 스테이지에 놓여지는 기판과의 거리 조절을 통하여 온도의 변경을 달성한다. 이에 따라, 상기 온도의 변경을 박막을 적층하는데 적용함으로써 서로 다른 온도 조건을 요구하는 박막을 동일 챔버 내에서 인시튜로 적층할 수 있다. 이에 따라, 상기 복합막의 적층에 소요되는 시간을 단축시킬 수 있고, 장치의 운용 효율을 향상시킬 수 있다. 또한, 반도체 기판의 이송이 자체되기 때문에 상기 이송으로 인한 오염 물질의 흡착을 방지할 수 있다.

<83> 따라서, 본 발명은 반도체 장치의 제조에 따른 생산성과 신뢰도의 향상을 동시에 기대할 수 있다.

<84> 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

【특허청구범위】**【청구항 1】**

- a) 기판으로 열 전달이 가능하고, 상기 기판이 놓여질 때 상기 기판을 지지하는 리프트 핀을 포함하는 스테이지를 마련하는 단계;
- b) 상기 스테이지의 리프트 핀에 기판을 지지시키는 단계;
- c) 상기 스테이지의 열 전달에 의해 상기 기판이 제1온도를 갖도록 상기 스테이지와 상기 기판 사이를 제1거리로 조정하는 단계;
- d) 상기 제1온도를 갖는 공정 조건에서 상기 기판 상에 제1박막을 형성하는 단계;
- e) 상기 스테이지의 열 전달에 의해 상기 기판이 제2온도를 갖도록 상기 스테이지와 상기 기판 사이를 상기 제1거리로부터 제2거리로 조정하는 단계; 및
- f) 상기 제2온도를 갖는 공정 조건에서 상기 제1박막 상에 제2박막을 형성하는 단계를 포함하는 반도체 장치의 복합막 형성 방법.

【청구항 2】

제1항에 있어서, 상기 제1거리 또는 상기 제2거리는 상기 스테이지가 고정된 상태에서 상기 리프트 핀의 구동에 의해 조정되는 것을 특징으로 하는 반도체 장치의 복합막 형성 방법.

【청구항 3】

제1항에 있어서, 상기 제1거리 또는 상기 제2거리는 상기 리프트 핀이 고정된 상태에서 상기 스테이지의 구동에 의해 조정되는 것을 특징으로 하는 반도체 장치의 복합막 형성 방법.

【청구항 4】

제1항에 있어서, 상기 제1거리 또는 상기 제2거리는 상기 리프트 핀과 상기 스테이지의 복합 구동에 의해 조정되는 것을 특징으로 하는 반도체 장치의 복합막 형성 방법.

【청구항 5】

제1항에 있어서, 상기 제1박막은 금속 산화물을 갖는 박막인 것을 특징으로 하는 반도체 장치의 복합막 형성 방법.

【청구항 6】

제5항에 있어서, 상기 금속 산화물은 Al_2O_3 , TiO_2 , HfO_2 , ZrO_2 , Y_2O_3 , Ta_2O_5 , $SrTiO_3$, $BaTiO_3$, $BaSrTiO_3$, $PbZrTiO_3$ 로 구성되는 그룹으로부터 선택되는 어느 하나인 것을 특징으로 하는 반도체 장치의 복합막 형성 방법.

【청구항 7】

제1항에 있어서, 상기 제2박막은 금속 산화물을 갖는 박막인 것을 특징으로 하는 반도체 장치의 복합막 형성 방법.

【청구항 8】

제7항에 있어서, 상기 제2박막은 Al_2O_3 , TiO_2 , HfO_2 , ZrO_2 , Y_2O_3 , Ta_2O_5 , $SrTiO_3$, $BaTiO_3$, $BaSrTiO_3$, $PbZrTiO_3$ 로 구성되는 그룹으로부터 선택되는 어느 하나인 것을 특징으로 하는 반도체 장치의 복합막 형성 방법.

【청구항 9】

제1항에 있어서, 상기 제1박막은 상기 제1온도에서 원자층 적층 또는 화학 기상 증착을 통하여 형성하고, 상기 제2박막은 상기 제2온도에서 원자층 적층 또는 화학 기상 증착을 통하여 형성하는 것을 특징으로 하는 반도체 장치의 복합막 형성 방법.

【청구항 10】

제1항에 있어서, g) 상기 스테이지의 열 전달에 의해 상기 기판이 제3온도를 갖도록 상기 스테이지와 상기 기판 사이를 상기 제2거리로부터 제3거리로 조정하는 단계; 및

h) 상기 제3온도를 갖는 공정 조건에서 상기 제2박막 상에 제3박막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치의 복합막 형성 방법.

【청구항 11】

제10항에 있어서, 상기 g) 및 h)를 적어도 1회 반복 수행하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치의 복합막 형성 방법.

【청구항 12】

반도체 기판 상에 하부 전극을 형성하는 단계;

열 전달이 가능하고, 상기 반도체 기판을 지지하는 리프트 핀을 갖는 스테이지를 마련하여 상기 리프트 핀에 상기 반도체 기판을 지지시키는 단계;

상기 스테이지의 열 전달에 의해 상기 반도체 기판이 제1온도를 갖도록 상기 스테이지와 상기 반도체 기판 사이를 제1거리로 조정하는 단계;

상기 제1온도를 갖는 공정 조건에서 상기 하부 전극 상에 제1금속 산화물을 갖는 제1박막을 형성하는 단계;

상기 스테이지의 열 전달에 의해 상기 반도체 기판이 제2온도를 갖도록 상기 스테이지와 상기 반도체 기판 사이를 상기 제1거리로부터 제2거리로 조정하는 단계;

상기 제2온도를 갖는 공정 조건에서 상기 제1박막 상에 제2금속 산화물을 갖는 제2박막을 형성함으로써 상기 하부 전극 상에 상기 제1박막 및 제2박막을 포함하는 유전막을 형성하는 단계; 및

상기 유전막 상에 상부 전극을 형성하는 단계를 포함하는 반도체 장치의 커패시터 형성 방법.

【청구항 13】

제12항에 있어서, 상기 제1거리 또는 상기 제2거리는 상기 스테이지가 고정된 상태에서 상기 리프트 핀의 구동에 의해 조정되거나, 상기 리프트 핀이 고정된 상태에서 상기 스테이지의 구동에 의해 조정되거나, 또는 상기 리프트 핀과 상기 스테이지의 복합 구동에 의해 조정되는 것을 특징으로 하는 반도체 장치의 커패시터 형성 방법.

【청구항 14】

제12항에 있어서, 상기 제1박막은 상기 제1온도에서 원자층 적층 또는 화학 기상 증착을 통하여 형성하고, 상기 제2박막은 상기 제2온도에서 원자층 적층 또는 화학 기상 증착을 통하여 형성하는 것을 특징으로 하는 반도체 장치의 커패시터 형성 방법.

【청구항 15】

제12항에 있어서, 상기 제1금속 산화물은 Al_2O_3 , TiO_2 , HfO_2 , ZrO_2 , Y_2O_3 , Ta_2O_5 , SrTiO_3 , BaTiO_3 , BaSrTiO_3 , PbZrTiO_3 로 구성되는 그룹으로부터 선택되는 어느 하나이고, 상기 제2금속 산화물은 Al_2O_3 , TiO_2 , HfO_2 , ZrO_2 , Y_2O_3 , Ta_2O_5 , SrTiO_3 , BaTiO_3 , BaSrTiO_3

, PbZrTiO_3 로 구성되는 그룹으로부터 선택되는 어느 하나인 것을 특징으로 하는 반도체 장치의 커패시터 형성 방법.

【청구항 16】

열 전달이 가능하고, 반도체 기판을 지지하는 리프트 핀을 갖는 스테이지를 마련하여 상기 리프트 핀에 상기 반도체 기판을 지지시키는 단계;

상기 스테이지의 열 전달에 의해 상기 반도체 기판이 제1온도를 갖도록 상기 스테이지와 상기 반도체 기판 사이를 제1거리로 조정하는 단계;

상기 제1온도를 갖는 공정 조건에서 상기 반도체 기판 상에 제1금속 산화물을 갖는 제1박막을 형성하는 단계;

상기 스테이지의 열 전달에 의해 상기 반도체 기판이 제2온도를 갖도록 상기 스테이지와 상기 반도체 기판 사이를 상기 제1거리로부터 제2거리로 조정하는 단계; 및

상기 제2온도를 갖는 공정 조건에서 상기 제1박막 상에 제2금속 산화물을 갖는 제2박막을 형성하는 단계를 포함하는 반도체 장치의 게이트 절연막 형성 방법.

【청구항 17】

제16항에 있어서, 상기 제1거리 또는 상기 제2거리는 상기 스테이지가 고정된 상태에서 상기 리프트 핀의 구동에 의해 조정되거나, 상기 리프트 핀이 고정된 상태에서 상기 스테이지의 구동에 의해 조정되거나, 또는 상기 리프트 핀과 상기 스테이지의 복합 구동에 의해 조정되는 것을 특징으로 하는 반도체 장치의 게이트 절연막 형성 방법.

**【청구항 18】**

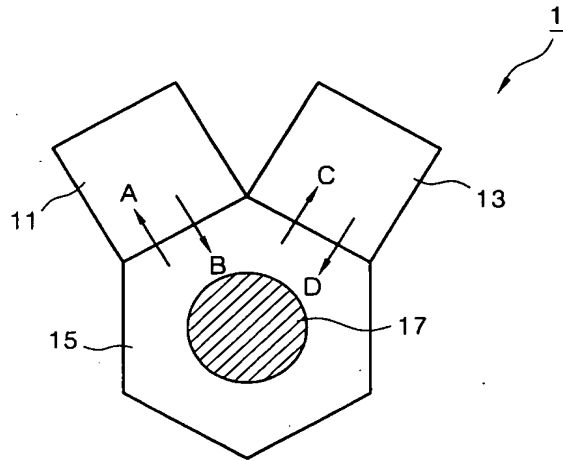
제16항에 있어서, 상기 제1박막은 상기 제1온도에서 원자층 적층 또는 화학 기상 증착을 통하여 형성하고, 상기 제2박막은 상기 제2온도에서 원자층 적층 또는 화학 기상 증착을 통하여 형성하는 것을 특징으로 하는 반도체 장치의 게이트 절연막 형성 방법.

【청구항 19】

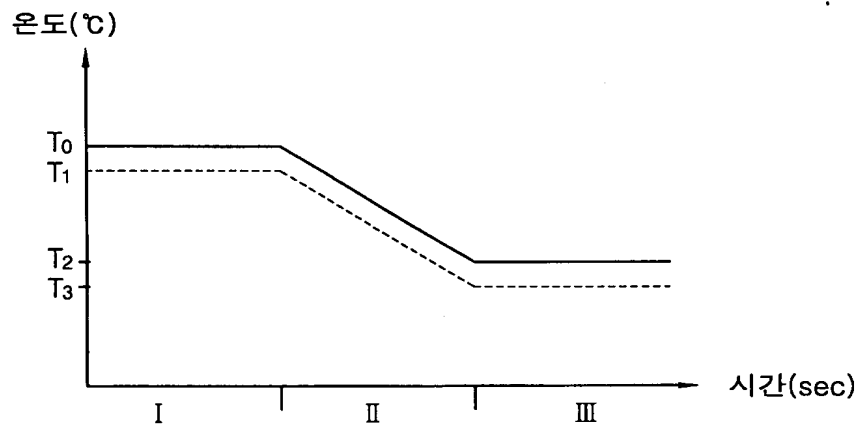
제16항에 있어서, 상기 제1금속 산화물은 Al_2O_3 , TiO_2 , HfO_2 , ZrO_2 , Y_2O_3 , Ta_2O_5 , SrTiO_3 , BaTiO_3 , BaSrTiO_3 , PbZrTiO_3 로 구성되는 그룹으로부터 선택되는 어느 하나이고, 상기 제2금속 산화물은 Al_2O_3 , TiO_2 , HfO_2 , ZrO_2 , Y_2O_3 , Ta_2O_5 , SrTiO_3 , BaTiO_3 , BaSrTiO_3 , PbZrTiO_3 로 구성되는 그룹으로부터 선택되는 어느 하나인 것을 특징으로 하는 반도체 장치의 게이트 절연막 형성 방법.

【도면】

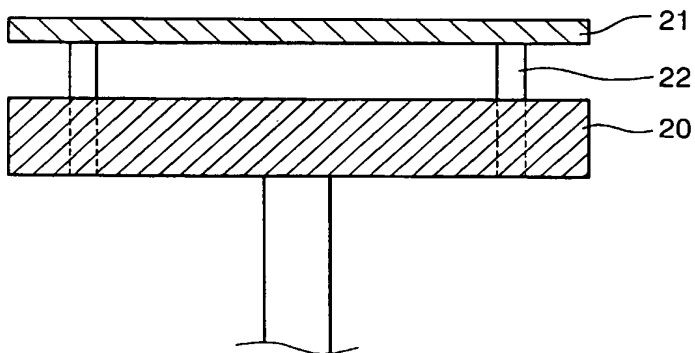
【도 1】



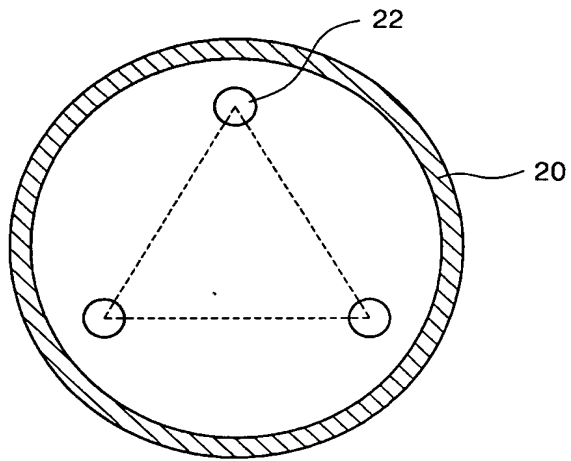
【도 2】



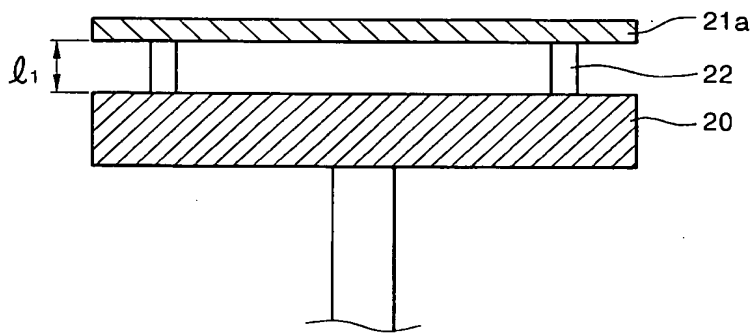
【도 3】



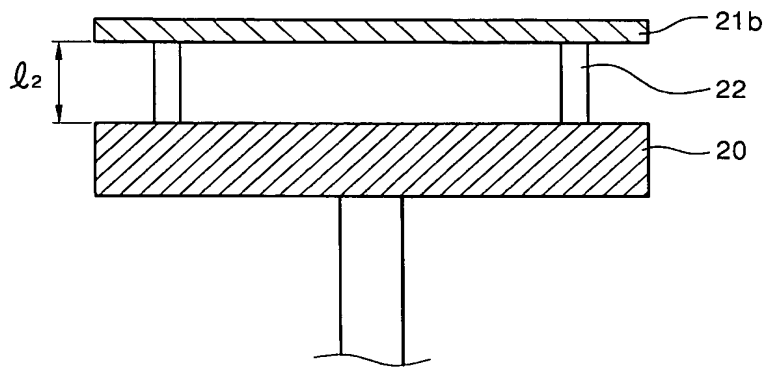
【도 4】



【도 5a】



【도 5b】



【도 6】

